



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **11233456 A**(43) Date of publication of application: **27.08.99**

(51) Int. Cl. **H01L 21/28**  
**H01L 21/8238**  
**H01L 27/092**  
**H01L 29/78**  
**H01L 21/336**

(21) Application number: **10345478**(71) Applicant: **TEXAS INSTR INC <TI>**(22) Date of filing: **04.12.98**

(72) Inventor: **HONG QI-ZHONG**  
**YANG HONG**  
**SHIAU WEI-TSUN**  
**CHAO SHIH-PING**

(30) Priority: **05.12.97 US 97 67565****(54) MANUFACTURING METHOD OF ELECTRONIC DEVICE**

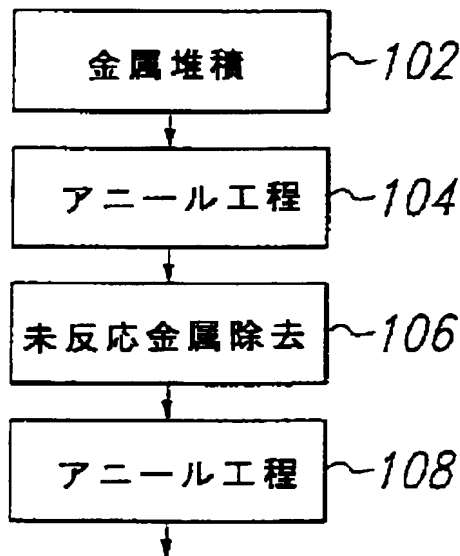
third temperature of about 700 to 900°C.

COPYRIGHT: (C)1999,JPO

**(57) Abstract:**

**PROBLEM TO BE SOLVED:** To obtain a method for forming a silicide region on an electronic device.

**SOLUTION:** A method for forming a silicide region comprises steps of: forming a source region and a drain region which are separated by a channel region in a semiconductor substrate; forming a gate structure separated from the source and the drain regions after covering portion of the channel in the substrate adjacent to the source and the drain regions; forming a material containing cobalt (102) at a first temperature of about 300 to 500°C after covering the source, the drain and the gate regions; reacting a portion of the material containing cobalt with a portion of the semiconductor substrate in the source and the drain regions and a portion of the gate structure by performing a first annealing step (104) for about 10 to 120 seconds at a second temperature of about 450 to 650°C; removing a non-reaction portion of the material containing cobalt (106); and performing a second annealing step (108) for about 10 to 120 seconds at a



(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-233456

(43) 公開日 平成11年(1999) 8月27日

(51) Int.Cl.<sup>6</sup>

識別記号

F I

H 0 1 L 21/28  
21/8238  
27/092  
29/78  
21/336

3 0 1

H 0 1 L 21/28 3 0 1 T  
27/08 3 2 1 F  
29/78 3 0 1 P

審査請求 未請求 請求項の数 1 O L (全 5 頁)

(21) 出願番号 特願平10-345478

(22) 出願日 平成10年(1998)12月4日

(31) 優先権主張番号 0 6 7 5 6 5

(32) 優先日 1997年12月5日

(33) 優先権主張国 米国 (U S)

(71) 出願人 590000879

テキサス インスツルメンツ インコーポ  
レイテッド

アメリカ合衆国テキサス州ダラス, ノース  
セントラルエクスプレスウェイ 13500

(72) 発明者 クイ - ソング ホング

アメリカ合衆国 テキサス州ダラス, フォ  
レスト レーン 9601, アパートメント  
ナンバー521

(72) 発明者 ホング ヤング

アメリカ合衆国 テキサス州ダラス, エコ  
ー プラット 6911

(74) 代理人 弁理士 浅村 皓 (外 3 名)

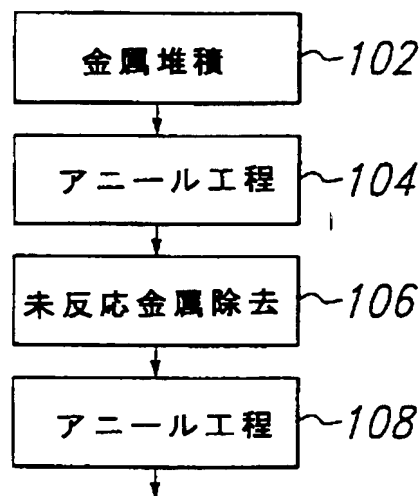
最終頁に続く

## (54) 【発明の名称】 電子デバイス作製方法

## (57) 【要約】

【課題】 電子デバイス上にシリサイド領域を形成する方法を提供する。

【解決手段】 半導体基板中のチャンネル領域によって分離されたソースおよびドレイン領域を形成する工程、ソースおよびドレイン領域に隣接して、基板のチャンネル部分を覆い、それから絶縁されたゲート構造を形成する工程；約300ないし500℃の第1の温度において、ソース、ドレイン、およびゲート領域を覆って、コバルトを含む材料を形成する工程（102）；約450ないし650℃の第2の温度において約10ないし120秒間、第1のアニール工程（104）を実行して、コバルトを含む材料の一部分をソースおよびドレイン領域中の半導体基板の一部分およびゲート構造の一部分と反応させる工程；コバルトを含む材料の未反応部分を除去する工程（106）；および約700ないし900℃の第3の温度において約10ないし120秒間、第2のアニール工程（108）を実行する工程を含む。



## 【特許請求の範囲】

【請求項1】 半導体基板上へ形成される電子デバイスを作製する方法であって、

半導体基板中のソース領域およびドレイン領域を、それらがチャンネル領域によって互いに分離される形で形成する工程、

ソースおよびドレイン領域に隣接して、基板のチャンネル部分を覆い、それから絶縁されたゲート構造を形成する工程、

前記ソース領域、前記ドレイン領域、および前記ゲート構造を覆って、コバルトを含む材料を、300ないし500℃付近の第1の温度で形成する工程、

450ないし650℃付近の第2の温度において、10ないし120秒間の時間、第1のアニール工程を実行して、コバルトを含む材料の一部分を、前記ソースおよびドレイン領域中の前記半導体基板の一部分およびゲート構造の一部分と反応させて、前記コバルトを含む材料の残りの部分を未反応のままとする工程、

前記コバルトを含む材料の前記未反応部分を除去する工程、および700ないし900℃付近の第3の温度で、10ないし120秒間の時間、第2のアニール工程を実行する工程、を含む方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は半導体デバイス製造および処理に関するものであって、更に詳細には、サリサイド領域を作製する方法に関する。

## 【0002】

【従来の技術】 電子デバイスの世代が進むにつれて、より少ない電力を消費するより高速でより小型のトランジスタが必要とされている。これを実現するために、未来のトランジスタのソース・ドレイン領域は水平および垂直の両方向で縮小する必要がある。更に加えて、ゲートの幅と高さも縮小しなければならない。ソース・ドレイン領域およびゲート構造の両断面積が小型化するであろうため、それら構造の抵抗はそれらの寸法の縮小とともに増大するであろう。このことから、それら増大する抵抗を下げるために、それら構造の中あるいは上へより導電性の高い材料を導入する必要がある。現時点では、その構造の与えられた長さに対してその抵抗を下げるために、それらの構造の上へチタン・シリサイドが形成される。しかし、構造の幅が0.25ミクロン以下になると、チタン・シリサイドのシート抵抗は増大する。この現象は、チタン・シリサイド層がC49相からより低抵抗のC54相へ相転移することが、より狭い幅の構造で困難であるためである。

## 【0003】

【発明の解決しようとする課題】 この線幅に依存するシート抵抗の問題に悩まされないで、ソース・ドレインおよびゲート領域の抵抗を下げるための別の方法は、ソー

ス・ドレインおよびゲート領域上にコバルト・シリサイド領域を形成するものである。しかし、現在のC6Si2構造は、少なくとも1つの難しい問題に悩まされている。ソース・ドレイン領域にはバルト・シリサイドを用いて形成されるデバイスは、平均的なC6Si2-Si界面のせいで、より大きいゲート・リークを有するのが一般的である。言い替えると、浅いソース・ドレイン領域の上に形成される典型的なバルト・シリサイドは、コバルトが基板中の“スポンジ”するという問題を抱えている。これは、ゲート・リークが大きいトランジスタは、特にデバイスがその“オフ状態”にある時により大きい電力を消費するため問題となる。これに加えて、このことはソース・ドレイン領域の深さが減少するとより問題となる。

【0004】 この問題を克服する1つの方法は、コバルト層の堆積とその後に続くその場合真空アニーリング工程に高温の工程を実行するものである。IEDM技術ダイジェスト18, 1, 1 (1995年)の95-445頁に記載されたケン・イング(Ken Inoue)等による“高温サブミクロンおよびその場合真空アニーリングを用いた0.15ミクロンCMOS用の新しいコバルト・サリサイド技術(A New Cobalt-Salicide Technology for 0.15 micron CMOS Using High-Temperature Sputtering and In-Situ Vacuum Annealing)”を参照のこと。別の方法は、サブミクロン・アニーリング工程に先だってコバルト層の上へTiN層を形成し、その後高温のアニーリング工程を実行するものである。技術ダイジェスト18, 2, 1 (1995年)の95-449頁に記載されたK. ゴット(K. Gotto)等による“ディープ・サブミクロンCMOSデバイス用のCoサリサイドプロセスのリーク機構および最適化条件(Leakage Mechanism and Optimized Conditions of Co-Salicide Process for Deep-Submicron CMOS Devices)”を参照のこと。

## 【0005】

【課題を解決するための手段】 本発明の一実施例は半導体基板上へ電子デバイスを作製する方法であって、その方法は、半導体基板中のソース領域およびドレイン領域を、それらがチャンネル領域によって互いに分離される形で形成する工程、ソースおよびドレイン領域に隣接して、基板のチャンネル部分を覆い、それから絶縁されたゲート構造を形成する工程、300ないし500℃付近の第1の温度において、ソース領域、ドレイン領域、およびゲート構造を覆ってコバルトを含む材料を形成する工程、450ないし650℃付近の第2の温度において10ないし120秒間付近の時間、第1のアニール工程を実行して、コバルトを含む材料の一部分を、ソー

10

20

30

40

50

およびトレイン領域中の半導体基板の一部およびゲート構造の一部と反応させて、コハルトを含む材料の残りの部分を未反応のままに残す工程；コハルトを含む材料の未反応部分を除去する工程；および700ないし900℃付近の第3の温度において10ないし120秒間付近の時間、第2のアニール工程を実行する工程を含む。好ましくは、窒素雰囲気は、トランススタ、DRA、M、イモリゲイイス、論理デバイス、プロセス、およびそれらの任意の組み合わせを含むグループから選ばれる。前記第1の温度は好ましくは、450℃付近であり、前記第2の温度は200ないし399℃付近である。前記第3の温度は好ましくは、700ないし800℃付近、あるいは800ないし900℃付近であり、更に好ましくは750または850℃付近である。

【0006】本発明の別の実施例は、コハルトを含むシリサイド領域を、半導体基板上に形成されたトランススタのソース、ドレイン、および導電性ゲート構造の上に作製する方法であって、その方法は：300ないし500℃付近の第1の温度において、ソース領域、ドレイン領域、およびゲート構造を覆ってコハルトを含む材料を形成する工程；450ないし650℃付近の第2の温度において、10ないし120秒間付近の時間、第1のアニール工程を実行して、コハルトを含む材料の一部を、ソースおよびドレイン領域中の半導体基板の一部およびゲート構造の一部と反応させて、コハルトを含む材料の残りの部分を未反応のままとする工程；コハルトを含む材料の未反応部分を除去する工程；および700ないし900℃付近の第3の温度で10ないし120秒間付近の時間、第2のアニール工程を実行する工程を含む。

【0007】

【発明の実施の形態】本発明の以下の説明は、ソース、ドレイン領域およびゲート構造上のコハルトシリサイド領域を形成することに重点をおいているが、本発明は任意のシリコンを含む構造をシリサイド化するために使用することができ、またシリサイド領域を形成するためにコハルトを含む材料と一緒に利用されても、あるいはされなくてもよい。

【0008】図2aを参照すると、基板202は、好ましくは、単結晶シリコン、単結晶シリコン層を覆って形成されたエピタキシャルシリコン層、あるいは単結晶シリコン層を覆って形成された多結晶シリコン層を含む。ソース、ドレイン領域204は、基板202の一部中に任意の従来技術によって形成される。導電性ゲート構造212は、好ましくは、ドーパされたあるいは未ドーパの多結晶シリコンを含んでおり、ゲート絶縁体206上に形成される。ゲート絶縁体206および側壁絶縁体210は酸化物、窒化物、それらの組み合わせ、あるいは酸化物と窒化物の積層構造を含むことができるが、ゲート絶縁体206および側壁絶縁体210は同じ材料を

含む必要はない。

【0009】図2bと図1の工程102とを参照すると、導電層214がシリサイド全体を覆って形成される。好ましくは、層214はスパッタリングあるいは任意のその他の従来の堆積法（例えば、化学的蒸着法あるいはプラズマ促進化学的蒸着法）によって、300ないし500℃付近（好ましくは400ないし500℃付近、より好ましくは450℃付近）の雰囲気温度において形成される。層214はコハルトを含むことが好ましいが、Ti、Ni、W、Pt、Pdあるいはこれらの任意の組み合わせを含むこともできる。

【0010】図2cと図1の工程104とを参照すると、次にアニール工程が実行される。好ましくは、これはシリサイドを450ないし650℃（より好ましくは、500と600℃との間）の雰囲気温度（あるいはウェハ温度）に、10ないし120秒間付近（より好ましくは20ないし40秒間付近、更にもっと好ましくは30秒間付近）の時間、晒すことによって実行される。雰囲気は、このアニール工程中、窒素を含むことが好ましい。このアニール工程の結果、層214からのコハルトと、ソース、ドレイン領域204およびゲート領域212のシリコンとが反応して、それぞれシリサイド領域216および218を形成される。これらの領域はC6S1またはC6S12を含むであろう。抵抗値の点では、C6S12が好ましいシリサイドである。

【0011】図2dと図1の工程106および108とを参照すると、層214の未反応部分が次に除去される。このことはウェハをHCl:H2O2またはH2O2:H2SO4に晒すことによって実行するのが好ましい。しかし、シリサイド領域216および218は本質的にそのままに残存する。

【0012】工程108において、領域216および218をより導電性の高いC6S12シリサイドへと相転移させるために別アニールが実行される。好ましくは、工程108は、セパイスを窒素雰囲気中で、700ないし900℃付近（より好ましくは、700ないし850℃付近、更にもっと好ましくは800ないし850℃付近）の温度に、10ないし120秒間付近（より好ましくは、20ないし40秒間、もっと好ましくは30秒間付近）の時間、晒すことによって実行される。この工程を、先行する堆積およびアニール工程と組み合わせることの重要な点は、ソース、ドレイン直列抵抗を本質的に増やすことなく、セパイスのダイオードリークを改善できることである。

【0013】本発明の特定実施例についてこれまで説明してきたが、それは本発明の範囲を限定する意図のものではない。本発明の多くの実施例が本明細書の方法論に照らして当業者には明らかとなる。本発明の範囲は特許請求の範囲によってのみ限定される。

【0014】以上の説明に関して更に以下の項を開示す

10

20

30

40

50

る。

(1) 半導体基板上に形成される電子デバイスを作製する方法であって、半導体基板中のソース領域およびドレイン領域を、それらがチャンネル領域によって互いに分離される形で形成する工程、ソースおよびドレイン領域に隣接して、基板のチャンネル部分を覆い、それから絶縁されたゲート構造を形成する工程、前記ソース領域、前記ドレイン領域、および前記ゲート構造を覆って、コバルトを含む材料を、300ないし500℃付近の第1の温度で形成する工程、450ないし650℃付近の第2の温度において、10ないし120秒間の時間、第1のアニール工程を実行して、コバルトを含む材料の一部分を、前記ソースおよびドレイン領域中の前記半導体基板の一部分およびゲート構造の一部分と反応させて、前記コバルトを含む材料の残りの部分を未反応のままとする工程、前記コバルトを含む材料の前記未反応部分を除去する工程、および700ないし900℃付近の第3の温度で、10ないし120秒間の時間、第2のアニール工程を実行する工程、を含む方法。

【0015】(2) 第1項記載の方法であって、ここにおいて、前記電子デバイスが、トランジスタ、DRAM、メモリデバイス、論理デバイス、プロセスサ、およびそれらの任意の組み合わせを含むグループの中から選ばれたものである方法。

【0016】(3) 第1項記載の方法であって、前記第1の温度が450℃付近である方法。

【0017】(4) 第1項記載の方法であって、前記第3の温度が700ないし800℃付近である方法。

【0018】(5) 第1項記載の方法であって、前記第3の温度が800ないし900℃付近である方法。

【0019】(6) 第1項記載の方法であって、前記第3の温度が750℃付近である方法。

【0020】(7) 第1項記載の方法であって、前記第3の温度が850℃付近である方法。

【0021】(8) 第1項記載の方法であって、前記第2の温度が300ないし399℃付近である方法。

【0022】(9) 半導体基板上に形成されたトランジスタのソース、ドレイン、および伝導性ゲート構造の上へ、コバルトを含むシリサイド領域を作製する方法であって、前記ソース領域、前記ドレイン領域、および前記ゲート構造を覆って、300ないし500℃付近の第1の温度において、コバルトを含む材料を形成する工程、450ないし650℃付近の第2の温度において、10

ないし120秒間の時間、第1のアニール工程を実行して、コバルトを含む材料の一部分を、前記ソースおよびドレイン領域中の前記半導体基板の一部分およびゲート構造の一部分と反応させて、前記コバルトを含む材料の残りの部分を未反応のままとする工程、前記コバルトを含む材料の前記未反応部分を除去する工程、および700ないし900℃付近の第3の温度において10ないし120秒間付近の時間、第2のアニール工程を実行する工程、を含む方法。

10 【0023】(10) 本発明の一実施例は半導体基板上に形成される電子デバイスを作製する方法であって、その方法は、半導体基板中のソース領域およびドレイン領域を、それらがチャンネル領域によって互いに分離される形で形成する工程、ソースおよびドレイン領域に隣接して、基板のチャンネル部分を覆い、それから絶縁されたゲート構造を形成する工程、300ないし500℃付近の第1の温度において、ソース領域、ドレイン領域、およびゲート領域を覆って、コバルトを含む材料を形成する工程(図1の工程102)、450ないし650℃付近の第2の温度において10ないし120秒間付近の時間、第1のアニール工程(図1の工程104)を実行して、コバルトを含む材料の一部分を、ソースおよびドレイン領域中の半導体基板の一部分およびゲート構造の一部分と反応させて、コバルトを含む材料の残りの部分を未反応のままに残す工程、コバルトを含む材料の未反応部分を除去する工程(図1の工程106)、および700ないし900℃付近の第3の温度において10ないし120秒間付近の時間、第2のアニール工程(図1の工程108)を実行する工程を含む。

30 【図面の簡単な説明】

【図1】本発明の方法を示すフロー図。

【図2】aないしdは、図1に示された本発明の方法を用いて形成された電子デバイスの一部分を示す断面図。

【符号の説明】

202 基板

204 ソース・ドレイン領域

206 ゲート絶縁体

210 側壁絶縁体

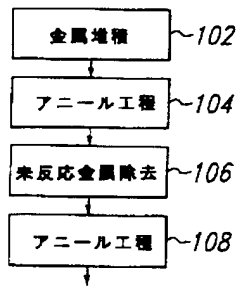
212 ゲート構造

214 導電層

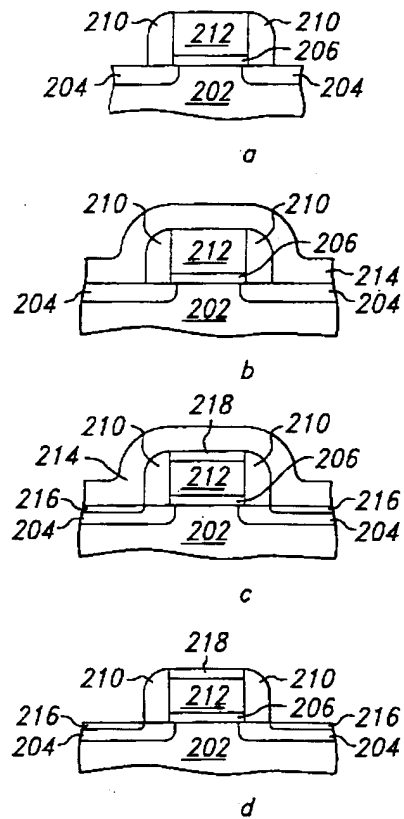
216 シリサイド領域

218 シリサイド領域

【図1】



【図2】



フロントページの続き

(72)発明者 ウェイ ツァン シャウ  
アメリカ合衆国 テキサス州プラノ、シャ  
トウ レーン 781

(72)発明者 シー ピング チャオ  
アメリカ合衆国 テキサス州プラノ、パト  
リック レーン 6844